

공개특허 제2002-66381호(2002.08.16) 1부.

특2002-0066381

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)(51) Int. Cl.<sup>7</sup>  
G11C 7/10(11) 공개번호 특2002-0066381  
(43) 공개일자 2002년08월16일

(21) 출원번호	10-2002-0006834
(22) 출원일자	2002년02월06일
(30) 우선권주장	60/267,908 2001년02월09일 미국(US) 10/043,047 2002년01월09일 미국(US)
(71) 출원인	삼성전자 주식회사
(72) 발명자	유창식 경기 수원시 팔달구 매탄3동 416 유창식 서울특별시성동구금호동1가1500번지삼성아파트303동803호 소병세 경기도성남시분당구아탑동330코오름아파트130동701호 경계현 경기도용인시구성면보정리1161진산마을삼성5차아파트512동1301호
(74) 대리인	이영필, 정성빈

심사결과 : 있음

## (54) 스텔브 버스 구조를 갖는 메모리 시스템

## 요약

스텔브 버스 구조(stub-bus configuration)를 가지며 데이터 신호들과 동일한 패스(path)를 통해 프리러닝(free-running clock) 클럭을 전송(transmit)하는 메모리 시스템이 개시된다. 상기 메모리 시스템에서는 기입동작 및 독출동작을 위해 단일 클럭 영역(single clock domain)이 이용된다. 기입 및 독출동작을 위해서 기입 또는 독출클럭 신호가 데이터 신호들과 동일한 전송 패스를 통해 라우트(route)된다. 따라서 데이터 유효 윈도우(window of data validity)를 최대화함으로써 시스템 전송률(system transfer rates)이 증가된다. 이러한 방식에서는 스트로브(strobe) 신호를 위한 프리앰블 구간(preamble interval)에 대한 필요성이 제거되기 때문에 데이터 버스 활용도(utilization)가 증가되고 이에 따라 메모리 모듈 커넥터들의 핀수(pin count)가 감소된다.

## 도면

## 도3

## 발명시

## 도면의 간단한 설명

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 양방향 스트로브 신호(DQS)와 시스템 클럭신호(CK)를 사용하는 종래의 이중 데이터를 싱크로너스 디램의 블록도이다.

도 2는 포워드 클럭 OFM(Clk-From-Master)과 리턴 클럭 CTM(Clk-To-Master)을 사용하는 종래의 램버스 디램의 블록도이다.

도 3은 C/A 버퍼가 기입클럭 신호(WCLK)에 기초하여 독출클럭 신호(RCLK)를 발생하는 본 발명의 제1 실시예에 따른 메모리 시스템의 블록도이다.

도 4는 메모리 모듈들이 독출클럭 신호(RCLK)로서 기입클럭 신호(WCLK)를 리턴시키는 리턴 패스(Return Path)를 포함하는 본 발명의 제2 실시예의 블록도이다.

도 5는 메모리 모듈들이 WCLK 신호에 동기하여 RCLK 신호를 발생하는 위상동기 루프(PLL)를 포함하는 본 발명의 제3 실시예의 블록도이다.

도 6은 메모리 모듈들이 수신된 DFLAG 신호에 동기하여 RFLAG 신호를 더 발생하는 본 발명의 제4 실시예의 블록도이다.

도 7은 본 발명에 따른 데이터 핀들을 포함하는 명령/어드레스(C/A) 버퍼를 나타낸다.

특 2002-0066381

도 8은 본 발명에 따른 데이터 캐퍼시터들을 포함하는 명령/어드레스(C/A) 버퍼를 나타낸다.

도 9는 RCLK 신호가 멀리서(remotely) 발생되어 WCLK 신호의 방향과 반대방향으로 시스템 버스를 따라 전파(propagate)되는 본 발명에 따른 메모리 시스템의 블록도이다.

도 10은 스텔의 구조로 인하여 도 9의 실시예에서 독출동작 동안 RCLK와 독출 데이터(DQ) 사이에 발생되는 위상지연을 나타낸다.

#### 발명의 상세한 설명

##### 발명의 목적

##### 본 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 메모리 시스템에 관한 것으로, 특히 스텔 버스 구조를 갖는 메모리 시스템에 관한 것이다.

메모리 시스템의 데이터 전송률(data transfer rate)이 시스템 클럭률(system clock rate)에 직접 종속되는 싱크로너스 디램(SDRAMs)의 출현 이래, 데이터 전송률을 더 증가시키기 위해 많은 발전이 이루어져 왔다. 예컨대 이중 데이터율(double data rate, DDR) 싱크로너스 디램(SDRAMs)은 시스템 클럭의 상승에지와 하강에지에서 데이터 전송/수신을 일으킴으로써 데이터 전송률을 더 증가시킨다. 데이터 전송률을 증가시키면서 또한 메모리 컨트롤러와 디램 모듈로부터 데이터를 수신하는 데 있어 충분한 타이밍 여유(budget)를 할당하기 위해, 데이터 패스와 동일한 패스를 통해 동기 클럭(synchronous clock)이 라우트(route)되도록 하는 소스 싱크로너스 클럭링(source synchronous clocking)의 개념이 도입되었다. 이러한 개념이 도 1 및 도 2에서 설명된다.

도 1은 DDR 싱크로너스 디램에서 시스템 클럭신호(CLK)와 양방향 스트로브 신호(DQS)를 사용하는 소스 싱크로너스 클럭링을 나타낸다. DQS 신호들은 메모리 컨트롤러(20) 또는 디램 장치들(22)에 의해 발생되고 디램 모듈들(22)에 데이터를 기입하거나 디램 모듈들(22)로부터 데이터를 독출하기 위한 타이밍 기준 신호들로서 사용된다. 데이터는 타이밍 기준으로서 DQS 신호들을 사용하여 데이터 버스(DQ)를 공유하여 전달(transfer)된다. 메모리 컨트롤러(20) 또는 디램 모듈들(22)은 각각 시스템 클럭(CLK) 대신에 데이터 버스와 같은 패스를 통해 전송된 DQS 신호들을 기준으로 하여 데이터를 샘플한다. 시스템 클럭(CLK)은 디램(22)에서 명령/어드레스 신호들(Com/Add)을 샘플링하기 위해 사용된다. DQS 신호들에 의해 샘플링된 DQ 신호들은 디램(22)과 컨트롤러(20)에서 내부적으로 시스템 클럭 영역(domain)으로 전환된다.

도 2는 대표적인 램버스(Rambus) DRAM 구조를 나타낸다. 이 구조에서 디램 모듈(26)과 메모리 컨트롤러(24)는 두 개의 클럭, 즉 CFM(Clk-From-Master) 신호와 CTM(Clk-To-Master) 신호를 수신한다. CFM 신호는 기입 데이터를 위한 기준클럭으로서 사용되고 CTM 신호는 독출 데이터를 위한 기준클럭으로서 사용된다. 각 경우에 데이터와 클럭 신호들은 동일한 데이터 패스를 통해 라우트되고 전달된다.

도 10에 도시된 DDR 싱크로너스 디램에서는 그 뒤에 오는 독출 또는 기입명령을 위해 프리앰블 타이밍 구간(preamble timing interval)이 요구된다. 프리앰블 타이밍 구간은 유효 데이터 스트로브 신호의 입력에 관한 정보를 포함하며 프리앰블 타이밍 구간은 DQS 신호가 메모리 컨트롤러(20) 또는 디램(22)에 의해 발생될 수 있기 때문에 꼭 필요하다. DQS 신호의 소오스가 바뀌면, 토큰(token)을 하나로부터 다른 하나로 넘겨주기 위해서 프리앰블 구간(preamble interval)은 초기화되어야 한다. 일반적으로 이 프리앰블 구간은 유효 데이터가 전송되기 전에 하나의 클럭 싸이클을 차지한다. 프리앰블 구간 동안에는 데이터의 전송이 허락되지 않기 때문에 시스템 버스의 효율이 떨어진다. 도 2에 도시된 램버스 디램에서는 포워드(forward) 클럭(CFM)과 리턴(return) 클럭(CTM)을 사용함으로써 디램 모듈(26) 내에서 두 개의 클럭 영역(domain)이 교차된다. 그러므로 이러한 구조는 CFM 신호와 CTM 신호 사이의 위상차를 관리하기 위해 정교한 보상회로가 요구되고 또한 보상회로에 대한 초기화 과정이 필요하기 때문에 매우 복잡하다. 또한 상기 DDR 싱크로너스 디램 및 램버스 디램 구조에서는 클럭 핀들 수의 증가로 인해 메모리 모듈 커넥터(connector)의 핀 수가 증가되고 램버스 디램의 경우에는 데이터 핀 수가 2배로 증가된다.

##### 본 발명이 이루고자 하는 기술적 과제

따라서 본 발명이 이루고자하는 기술적 과제는 상술한 문제점들을 극복하기 위하여 데이터 신호들과 동일한 패스를 통해 프리러닝 클럭(free-running clock)을 전송하는 스텔 버스 구조를 갖는 메모리 시스템을 제공하는 데 있다.

본 발명이 이루고자하는 다른 기술적 과제는 상기와 같은 메모리 시스템에서 데이터를 전달하는 방법을 제공하는 데 있다.

##### 발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명에 따른 메모리 시스템에서는 독출동작 및 기입동작을 위해서 단일 클럭 영역이 이용된다. 상기 독출동작 및 기입동작을 위해서, 독출 또는 기입클럭 신호가 데이터 신호들과 동일한 전송패스를 통해 라우트되며 이에 따라 유효 데이터의 윈도우를 최대화함으로써 시스템 전송률이 증가된다. 이러한 방식에서는 스트로브 신호를 위한 프리앰블 구간(preamble interval)에 대한 필요성이 제거되므로 데이터 버스 활용도(utilization)가 증가되고 이에 따라 메모리 모듈 커넥터의 핀 수(pin count)가 감소된다.

본 발명의 일실시예는 스텔 구조를 갖는 메모리 시스템 및 이 시스템에서 데이터를 전달하는 방법에 관한 것이다. 본 발명의 일실시예에 따른 메모리 시스템은 스텔 구조로 배열(arrange)되는 제1클럭신호 라인, 제어 버스, 어드레스 버스, 및 데이터 버스 상으로 제1클럭신호, 제어신호, 어드레스 신호, 및 데이터 신호들을 발생하는 컨트롤러를 구비한다. 메모리 모듈은 상기 컨트롤러에 연결되는 메모리장치를 포

록 2002-0066381

합하고 상기 메모리 모듈은 상기 제1클럭신호 및 기입 또는 독출명령을 포함하는 상기 제어신호를 수신한다. 상기 메모리 모듈은 상기 기입명령에 응답하여 상기 제1클럭신호에 동기하여 상기 데이터 신호들을 상기 데이터 버스로부터 상기 메모리장치로 기입하는 기입동작을 개시(Initiate)한다. 상기 메모리 모듈은 상기 독출명령에 응답하여 상기 제1클럭신호에 동기하여 상기 데이터 신호들을 상기 메모리장치로부터 상기 데이터 버스로 독출하는 독출동작을 개시하고 또한 상기 제1클럭신호에 응답하여 제2클럭신호를 발생하며, 상기 제2클럭신호는 상기 컨트롤러에 제공되고 상기 컨트롤러는 상기 독출동작 동안 상기 제2클럭 신호에 응답하여 상기 데이터 버스의 상기 데이터 신호들을 수신한다.

바람직한 실시예에서는 상기 제1클럭신호는 기입클럭을 포함하고 상기 제2클럭신호는 독출클럭을 포함한다. 바람직하기에는 상기 메모리 시스템은 다수개의 메모리 모듈들을 포함하고 상기 다수개의 메모리 모듈들 각각은 독립적이고 서로 위상차가 있는 제2클럭신호들을 발생한다. 상기 다수개의 제2클럭신호들의 위상들은 상기 각 메모리 모듈과 상기 컨트롤러 사이의 전파지연의 차이로 인하여 서로 다르다. 상기 메모리 모듈로부터 상기 컨트롤러까지 상기 제2클럭신호의 전파지연은 상기 데이터 버스의 전파지연과 거의 (Substantially) 동일하다.

상기 메모리 모듈은, 상기 제1클럭신호와 상기 제어신호를 수신하고 상기 제1클럭신호에 응답하여 상기 제2클럭신호를 발생하는 제어 버퍼를 더 포함할 수 있다. 위상동기 루프 또는 지연동기 루프가, 상기 제1클럭신호에 응답하여 상기 제2클럭신호를 발생하기 위해 상기 제어 버퍼 내에 또는 상기 제어 버퍼와 무관하게 제공될 수 있다. 위상동기 루프 또는 지연동기 루프 대신에 리턴 패스가 상기 제1클럭신호에 응답하여 상기 제2클럭신호를 발생하기 위해 상기 제1클럭신호를 수신하는 제1클럭신호 라인에 직접 연결될 수 있다.

상기 메모리 모듈의 메모리장치에 의해 상기 데이터 버스의 용량성 부하를 보상하기 위해 선택되는 커패시터를 갖는 커패시터가 포함될 수 있으며, 상기 커패시터는 상기 제1클럭신호 라인과 상기 리턴 패스의 접합점에 연결된다.

상기 메모리 시스템은 상기 제2클럭신호로서 각각의 제1 및 제2리턴클럭 신호들을 발생하는 제1 및 제2메모리 모듈들을 구비할 수 있고 또한 상기 제1 및 제2메모리 모듈들과 상기 컨트롤러를 연결하는 마더보드를 더 구비할 수 있다. 상기 마더보드는 상기 데이터 신호들을 전달하기 위한 데이터 버스, 상기 제어신호를 전달하기 위한 제어버스, 상기 어드레스 신호를 전달하기 위한 어드레스 버스, 상기 제1클럭신호를 전달하기 위한 제1클럭신호 라인, 및 상기 제1 및 제2리턴클럭 신호들을 전달하기 위한 제1 및 제2리턴클럭 신호 라인들을 포함한다. 상기 제1 및 제2리턴클럭 신호 라인들은, 상기 메모리 모듈들의 커넥터들에서 유사한 핀 구성을 보장하기 위해 상기 제1모듈과 상기 제2모듈 사이의 상기 마더보드 상에서 교차된다. 바람직하기에는 상기 제1리턴클럭 신호 라인은 상기 제2메모리 모듈상의 더미부하에 연결되고 상기 제2리턴클럭 신호 라인은 상기 제1메모리 모듈상의 더미부하에 연결된다. 상기 더미부하는 부하 커패시터 또는 더미 핀을 포함하고 상기 더미부하는 상기 데이터 버스의 용량성 부하를 매치시키기 위해 선택된다.

제1프레그 신호가 상기 컨트롤러에 의해 발생될 수 있으며, 상기 메모리 모듈은 상기 제1프레그 신호에 응답하여 기입동작 또는 독출동작의 개시시기를 제어한다. 독출동작이 명령되면 상기 메모리 모듈은 상기 제1프레그 신호에 응답하여 제2프레그 신호를 발생하고, 상기 제2프레그 신호는 상기 컨트롤러에 제공되며 상기 컨트롤러는 독출동작 동안에 상기 제2클럭신호와 상기 제2프레그 신호에 응답하여 상기 데이터 버스의 상기 데이터 신호들을 수신한다.

상기 메모리 시스템은 바람직하게는 각각의 제1 및 제2프레그 신호들을 발생하는 제1 및 제2메모리 모듈들을 구비하고 또한 상기 제1 및 제2메모리 모듈들과 상기 컨트롤러를 연결하는 마더보드를 더 구비한다. 상기 마더보드는 상기 데이터 신호들을 전달하기 위한 데이터 버스, 상기 제어신호를 전달하기 위한 제어버스, 상기 어드레스 신호를 전달하기 위한 어드레스 버스, 상기 제1프레그 신호를 전달하기 위한 제1프레그 신호 라인, 및 상기 제1 및 제2리턴 프레임 신호들을 전달하기 위한 제1 및 제2리턴 프레임 신호 라인들을 포함하고, 상기 제1프레그 신호 라인과 상기 제1 및 제2리턴 프레임 신호 라인들은 상기 제어버스와 상기 어드레스 버스와 함께 라우팅된다. 상기 제1 및 제2리턴 프레임 신호 라인들은 상기 제1모듈과 상기 제2모듈 사이의 상기 마더보드 상에서 교차될 수 있다. 상기 제1리턴 프레임 신호 라인은 상기 제2메모리 모듈상의 더미부하에 연결될 수 있고 상기 제2리턴 프레임 신호 라인은 상기 제1메모리 모듈상의 더미부하에 연결될 수 있다. 상기 더미부하는 바람직하게는 부하 커패시터 또는 더미 핀을 포함하고 상기 더미부하는 상기 데이터 버스의 용량성 부하를 매치시키기 위해 선택된다.

상기 제어 버퍼는 상기 메모리 모듈의 제1면에 탑재될 수 있고, 상기 메모리 모듈의 제1면 및 제2면에 탑재되는 메모리장치들의 제2신호라인에 의해 접하는(experienced) 부하와의 부하 매칭을 제공하기 위해 더미부하가 상기 제어버퍼의 제1신호라인에 연결된다. 상기 더미부하는 부하 커패시터 또는 더미 핀을 포함할 수 있다. 상기 제1신호라인은 상기 제1클럭신호 또는 상기 제2클럭신호를 포함할 수 있고, 상기 제2신호라인은 상기 데이터 버스 또는 상기 제1클럭신호를 포함할 수 있다.

본 발명의 다른 실시예는 스텔브 구조를 갖는 메모리 시스템과 이 시스템에서 데이터를 전달하는 방법에 관한 것이다. 본 발명의 다른 실시예에 따른 메모리 시스템은 스텔브 구조로 배열되는 제1클럭신호 라인, 제어 버스, 어드레스 버스, 및 데이터 버스 상으로 제1클럭신호, 제어신호, 어드레스 신호, 및 데이터 신호들을 발생하는 컨트롤러를 구비한다. 제2클럭신호를 발생시키는 제2클럭신호를 발생한다. 메모리 모듈은 상기 컨트롤러에 연결되는 메모리장치들을 포함하고 상기 제1클럭신호, 상기 제2클럭신호, 및 독출 또는 기입명령을 포함하는 상기 제어신호를 수신한다. 상기 제1클럭신호는 제2전파 방향으로 상기 컨트롤러로부터 상기 메모리 모듈로 전파하고 상기 제2클럭신호는 제2전파 방향으로 상기 메모리 모듈로부터 상기 컨트롤러로 전파한다. 상기 메모리 모듈은 상기 기입명령에 응답하여 상기 제1클럭신호에 동기하여 상기 데이터 신호들을 상기 데이터 버스로부터 상기 메모리장치로 기입하는 기입동작을 개시한다. 상기 메모리 모듈은 상기 독출명령에 응답하여 상기 제2클럭신호에 응답하여 상기 데이터 신호들을 상기 메모리장치들로부터 상기 데이터 버스로 독출하는 독출동작을 개시하고, 상기 컨트롤러는 상기 독출동작 동안 상기 제2클럭 신호에 응답하여 상기 데이터 버스의 상기 데이터 신호들을 수신한다. 상기 메모리 컨트롤러는 바람직하게는 상기 수신된 제2클럭신호와 상기 데이터 버스의 상기 데이터 신호들 사이의 위상차를 보

특 2002-0066381

상한다.

본 발명과 본 발명의 동작 상의 잇점 및 본 발명의 실시예에 의거하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

도 3은 두 개의 메모리 모듈을 갖는 본 발명의 제1 실시예에 따른 메모리 시스템의 블록도이다.

본 발명의 제1 실시예에 따른 메모리 시스템은 콘트롤러(40), 제1 및 제2 메모리 모듈들(42A, 42B), 메모리 모듈들(42A, 42B)과 콘트롤러(40)를 연결시키는 시스템 버스(50), 시스템 버스(50)를 중단시키는 중단 저항들(48)을 구비한다. 메모리 모듈들(42A, 42B)은 스테르 배럴로 구성된다. 스테르 배럴 구조는 포인트 투 포인트(point-to-point) 또는 직렬(serial) 구조와 대조적으로 시스템 버스(50)의 스테르 또는 가지 확장(branch extention)처럼 신호들이 시스템 버스(50)로부터 메모리 모듈들(42A, 42B)로 또는 메모리 모듈들(42A, 42B)로부터 시스템 버스(50)로 움직이는 것을 의미한다. 이 구조에서는 메모리 모듈들에 도달하는 출력 신호 라인들, 데이터 신호 라인들, 명령/어드레스 신호 라인들은 모두 시스템 버스의 스테르들이다. 각 메모리 모듈(42A, 42B)은 복수개의 메모리장치들(52), 예컨대 디램들(DRAM1-DRAMn) 및 명령/어드레스(C/A) 버퍼(46A, 46B)를 포함한다. 메모리장치들(52)은 도 3에 도시된 바와 같이 C/A 버퍼(46A, 46B)의 좌우로 모듈 몸체(Body)를 따라 확장 배열될 수 있다. 그러나 도 3에서는 모듈의 좌측 절반만이 도시되었다. C/A 버퍼(46A, 46B)는 기입클럭 신호(WCLK)에 동기하여 명령 및/또는 어드레스(C/A) 신호들을 수신한다. 수신된 C/A 신호들은 다시 기입클럭 신호(WCLK)에 동기하여 C/A 신호라인(44A, 44B)을 경유하여 디램들(52)에 차례로 제공된다. 각 메모리 모듈(42A, 42B) 상에서 C/A 버퍼(46A, 46B)의 사용은 시스템 마더보드(Motherboard) 상의 명령/어드레스 버스(C/A)의 부하를 경감시킨다.

시스템 버스(50)는 메모리 모듈들(42A, 42B) 상의 메모리장치들(52, DRAM1-DRAMn)에 대응하는 다수개의 데이터 버스 신호들(DQ1-DQn)을 포함한다. 데이터 버스 신호들(DQ1-DQn) 각각은 다수개의 데이터 신호 라인들, 예컨대 4개, 8개, 또는 16개의 라인들로 구성된다. 기입클럭 신호(WCLK)는, 데이터 버스(DQ) 신호를 및 명령/어드레스(C/A) 신호들이 대용되는 WCLK 신호와 동시에 메모리 모듈들(42A, 42B)에 도착하는 것을 보장하기 위해, 메모리 콘트롤러(40)에서 버퍼링되고 분배되며 C/A 신호와 마찬가지로 대용되는 데이터 버스 신호들(DQ1-DQn)과 함께 라우트된다.

이러한 방식으로, 메모리 콘트롤러(40)로부터 메모리장치(52)에 데이터를 기입하기 위한 기입 동작의 경우에는, 메모리 콘트롤러(40)가 기입클럭 신호(WCLK)에 동기하여 기입데이터(DQ)를 출력하고 메모리 모듈(42A, 42B) 상의 메모리장치들(52)로 기입데이터(DQ)를 전송한다. 데이터 버스(DQ)와 기입클럭 라인(WCLK)은 동일한 스테르 구조를 갖기 때문에, 데이터 버스(DQ) 상의 기입 데이터와 기입클럭 라인(WCLK) 상의 기입클럭 신호는 같은 전파 지연 시간을 갖고 메모리장치(52)에 입력된다. 이러한 방식으로 메모리장치(52)가 기입클럭 신호(WCLK)를 사용하여 기입 데이터(DQ)를 샘플링한다고 가정하면, 최대 유효데이터 윈도우가 얻어진다.

반면에, 메모리 모듈들(42A, 42B)로부터 메모리 콘트롤러(40)로 데이터를 전달하는 독출 동작에서는, 독출클럭(RCLK) 신호가 C/A 버퍼(46A, 46B)로부터 출력되어 메모리장치(52)로부터 독출된 데이터와 함께 메모리 콘트롤러(40)로 전달된다. 메모리 모듈(42A) 내의 메모리장치(52)가 WCLK 신호에 동기하여 독출 데이터(DQ)를 출력할 때, C/A 버퍼(46)는 동시에 독출클럭 신호(RCLK)를 출력한다. 독출클럭 신호(RCLK)를 수신된 기입클럭 신호(WCLK)에 동기시킴으로써, 독출 데이터(DQ)와 독출클럭 신호(RCLK)는 시스템 버스(50)를 따라 그리고 메모리 모듈(42)과 시스템 버스(50) 사이의 스테르 패스를 따라 동일한 스테르 버스 패스 길이를 갖기 때문에 같은 전파 지연 시간을 갖고 메모리 콘트롤러(40)에 도착한다. 그러므로 도 3의 구조는 메모리장치들(52)로부터 독출된 데이터를 메모리 콘트롤러(40)로 전달하는 데 있어서 발생할 수도 있는 위상차 문제를 완화시킨다.

독출클럭 신호(RCLK)가 수신된 기입클럭 신호(WCLK)에 동기되기 보다는 대신에 독출클럭 신호(RCLK)가 메모리 콘트롤러(40)에서 공급(source)되고 스테르 버스 구조로 메모리 모듈들(42)에 분배된다고 가정하면, 이러한 경우에는 독출클럭 신호(RCLK)의 전송 방향은 독출 데이터(DQ)의 전송 방향과 반대 방향이 되며 이에 따라 독출 데이터(DQ)와 완전히 다른 위상 관계를 갖게 된다. 또한 독출클럭 신호(RCLK)가 스테르 버스 구조로 모든 메모리 모듈들(42)과 메모리 콘트롤러(40)로 다시 분배되고 그러나 독출클럭 신호(RCLK)가 가장 바깥쪽의 메모리 모듈(42B)을 넘어서 시스템 버스(50) 상의 위치에서 공급된다고 가정하는 경우에는, 독출 데이터(DQ)와 독출클럭 신호(RCLK)가 동일한 방향으로 전파될 것이기 때문에 타이밍 관계가 개선될 것이다. 이러한 내용에 대해서는 도 9와 도 10을 참조하여 후술된다. 그러나 콘트롤러(40)에서 수신된 독출 데이터(DQ)와 독출클럭 신호(RCLK)는 스테르 지연의 두배 정도의 타이밍 차이를 갖는다. 그 이유는, 메모리장치의 데이터가 데이터 버스(DQ) 상으로 전송되기 위해서는 스테르의 제1 패스를 경유하여 메모리장치(52)에 의해 수신된 독출클럭 신호(RCLK)에 동기되어, 독출 데이터(DQ)가 스테르의 제2 패스를 통해 시스템 버스(50)와 메모리 콘트롤러(40)로 전송되기 때문이다. 그러므로 메모리 콘트롤러(40)에서 수신된 독출 데이터(DQ)는 독출 데이터(DQ)를 공급하는 모듈의 스테르 패스의 전파 지연의 두배에 해당하는 시간 만큼 RCLK 신호 보다 지연된다. 그러므로 독출 데이터(DQ)가 콘트롤러에 의해 샘플되기 전에 더 긴 셋업시간이 필요하다. 이는 스테르 버스 구조의 본질적인 문제이다.

위와 같은 문제는 본 발명에 따라 구성되는 메모리 시스템에 의해 완화된다. 이러한 구조에서 독출 데이터(DQ)는 수신된 기입클럭 신호(WCLK)에 동기하여 메모리 모듈들(42A, 42B)의 어느 하나에 위치하는 메모리장치(52)로부터 출력된다. 예컨대, 데이터가 제1 메모리 모듈(42A) 상의 메모리장치(52)로부터 출력된다고 가정하면, 제1 독출클럭 신호(RCLK\_M1)는 수신된 기입클럭 신호(WCLK)에 동기하여 C/A 버퍼(46A)로부터 출력되고 독출 데이터(DQ)의 패스 길이와 동일한 패스 길이를 갖는 패스를 경유하여 메모리 콘트롤러(40)로 전달된다. 독출클럭 신호(RCLK\_M1)와 독출 데이터(DQ)는 동일한 스테르 버스 패스를 따라 전파되기 때문에, 독출클럭 신호(RCLK\_M1)와 독출 데이터(DQ)는 같은 지연 시간을 가지고 메모리 콘트롤러(40)에 도착한다. 따라서 독출 데이터(DQ)는 종래의 스트로브 방식에 의해 요구했던 위상보상이나 프리앰플 구간

특 2002-0066381

(preamble interval)에 대한 필요성없이 즉시 독출클럭 신호(RCLK\_M1)를 사용하여 샘플링 수 있다.

데이터가 제2메모리 모듈(42B) 상의 메모리장치(52)로부터 독출되는 경우에도 위에서 설명한 동일한 시나리오가 적용된다. 독출클럭 신호(RCLK\_M2)는 기입클럭 신호(WCLK)에 응답하여 발생되고 기입클럭 신호(WCLK)에 동기된다. 독출클럭 신호(RCLK\_M2)는 독출 데이터(DQ)와 함께 시스템 버스(50)를 공유하여 전송되고 제1독출클럭 신호(RCLK\_M1)와 무관한 제2독출클럭 신호(RCLK\_M2)로서 메모리 컨트롤러(40)에서 수신된다. 독출클럭 신호(RCLK)의 위상들이 각각의 모듈(42A, 42B)과 메모리 컨트롤러(40) 사이에서 신호패스 임이의 차이로 인하여 서로 다르기 때문에, 별도의 독출클럭 신호들(RCLK\_M1, RCLK\_M2)이 필요하다. 메모리 모듈들(42A, 42B)이 동일한 핀 구성을 갖도록 하고 모듈들을 양산할 수 있도록 하기 위해서, 위치(53)에 도시된 바와 같이 독출클럭 신호들(RCLK\_M1, RCLK\_M2)이 시스템 버스(50)를 관장하는 마더보드상에 서로 교차된다.

성능을 더 향상시키기 위해서는 DQ 버스와 RCLK 버스 상의 용량성 부하(Capacitive loading)가 모든 메모리 모듈들(42A, 42B)에 대해 동일하여야 한다. 이를 달성하기 위해서 RCLK\_M1 신호는 제2메모리 모듈(42B)의 더미부하 커패시터 또는 더미 핀(54B)에 연결될 수 있다. 이와 마찬가지로 RCLK\_M2 신호는 제1메모리 모듈(42A)의 더미부하 커패시터 또는 더미 핀(54A)에 연결될 수 있다. 두 개 이상의 메모리 모듈들을 포함하는 구성에서는 다른 모듈들의 독출클럭 신호(RCLK\_Mn)는 자신의 더미부하 커패시터들 또는 더미 핀들에 연결된다. 커패시터가 사용된다면 커패시턴스 값은 RCLK 핀의 입력 커패시턴스와 같은 값을 갖도록 선택되어야 한다. 더미 핀이 사용된다면 C/A 버퍼는 더미 핀의 입력 커패시턴스가 RCLK 핀의 입력 커패시턴스와 동일해 지도록 설계되어야 한다.

도 3의 예에서 C/A 버퍼(42A, 42B)는 바람직하기에는 수신된 기입클럭 신호(WCLK)에 동기되는 독출클럭 신호(RCLK)를 발생하는 역할을 하는 위상동기 루프(PLL) 또는 지연동기 루프(DLL)를 포함한다. 위상동기 루프(PLL)에서는 전압제어 발진기(Voltage controlled oscillator)의 위상이 클럭클럭의 에지가 WCLK의 에지에 정렬될 때까지 조절된다. 지연동기 루프(DLL)에서는 가변지연 라인(Variable delay line)에 WCLK이 인가되며 가변지연 라인의 지연시간은 출력클럭의 에지가 WCLK의 에지에 정렬될 때까지 조절된다.

도 4는 본 발명의 제2 실시예의 블록도이다. 제2 실시예는 메모리 모듈(42A, 42B) 상의 C/A 버퍼(46A, 46B)가 WCLK 신호에 동기하여 RCLK 신호를 발생할 수 없는 경우, 예컨대 C/A 버퍼가 PLL 또는 DLL을 포함하지 않는 경우를 나타낸다. 이 실시예에서는 WCLK 신호가 각 모듈(42A, 42B) 상의 더미 커패시터(60A, 60B)를 구동한다. 더미 커패시터(60A, 60B)는 데이터가 독출되는 메모리장치(52)의 커패시턴스에 상응하는 정도의 커패시턴스 값을 갖는다. 메모리 컨트롤러로부터 디램까지의 전송시간(Flight time)이 DQ와 WCLK에 대해 동일해야 하기 때문에 WCLK 신호가 접하는 커패시턴스와 DQ 신호가 접하는 커패시턴스는 동일하여야 한다. 해당 모듈에서 각각의 독출클럭 신호(RCLK\_M1, RCLK\_M2)의 라인은 수신된 WCLK 신호 라인에 직접 연결된다. 이러한 방식으로 독출클럭 신호(RCLK)는 각 모듈(42A, 42B)에서 수신된 기입클럭 신호(WCLK)를 리터스킨으로써 발생되고 그러므로 독출클럭 신호(RCLK)는 기입클럭 신호(WCLK)에 동기된다. 따라서 메모리 컨트롤러(40)가 메모리 모듈(42)로부터의 독출동작을 개시(Initiate)하면, 독출 데이터(DQ)는 해당 모듈의 독출클럭(RCLK)에 동기하여 메모리 컨트롤러(40)에 의해 수신된다. 위에서 설명된 바와 같이 각 모듈(42A, 42B)은 다른 모듈들의 신호들과 무관하고 서로 관련된(associated) 독출클럭 신호(RCLK\_M1, RCLK\_M2)를 갖는 것이 바람직하다. 더하여 독출클럭 신호 패스들(RCLK\_M1, RCLK\_M2)은 모든 모듈들에 대해 유사한 핀 구성을 보장하기 위해서 시스템 버스(50)를 관장하는 마더보드 상의 위치(53)에서 교차된다. 상술한 바와 같이 부가(additional) 더미부하 커패시터(54A, 54B)는 데이터 버스(DQ)의 부하와 동화시키기 위해서 모듈에 의해 활용되지 않는 독출클럭 신호들에 연결된다.

도 5는 C/A 버퍼(46)를 포함하지 않는 메모리 모듈들(42A, 42B)에 적용될 수 있는 본 발명의 제3 실시예의 블록도이다. 이 구조에서는 C/A 신호 버스는 시스템 버스(50)를 공유하여 메모리 모듈들(42A, 42B)에 분배되고 메모리 모듈들(42A, 42B) 상의 신호 패스들(44A, 44B)를 공유하여 메모리장치들(52)로 분배된다. 위상동기 루프(PLL)(62A, 62B) 또는 지연동기 루프(DLL)는 기입클럭(WCLK)을 수신하여 모듈(42A, 42B)에 대한 각각의 독출클럭 신호(RCLK)를 발생하기 위해 각각의 모듈(42A, 42B) 상에 제공된다. 위상동기 루프와 지연동기 루프는 클럭신호의 전이에서부터 입력신호의 전이에서부터 정렬되도록 동작하는 회로들로서 당업계에서 잘 알려진 회로들이다. 도 5에 도시된 위상동기 루프의 동작은 도 3의 C/A 버퍼(46)에 포함된 위상동기 루프의 동작과 동일하다. 상술한 바와 같이 더미부하 커패시터들 또는 더미 핀들(54A, 54B)은 데이터 버스(DQ)의 부하와의 동화를 제공하기 위해 자신의 모듈과 관련되지 않는 독출클럭 신호들(RCLK)을 위해 제공될 수 있다.

종래의 전통적인 메모리 시스템에서는 데이터 버스(DQ)가 명령/어드레스(C/A) 버스보다 두배 빠른 속도로 동작하는 것이 일반적이다. 이러한 이유 때문에 명령들은 모듈상의 메모리장치들이 독출동작 또는 기입동작을 준비하는 데 충분한 시간을 갖도록 데이터에 앞서서 메모리 모듈들에 제공된다. 명령신호와 데이터 신호 간의 레이턴시(Latency)는 일반적으로 칼럼어드레스 스트로브(CAS) 레이턴시라고 불린다. 도 6을 참조하면, 메모리 컨트롤러(40)에 의해 발생되는 DFLAB 신호는 기입 및 독출동작을 위한 CAS 레이턴시 정보 모듈 모듈들(42A, 42B)에 제공한다. 도 6에 도시된 바와 같이, C/A 버퍼(46A, 46B)는 메모리 컨트롤러(40)로부터 DFLAB 신호를 수신하고 버퍼된 C/A 신호(44A, 44B)를 공유하여 모듈(42A, 42B) 상의 각 메모리장치(52)로 DFLAB 신호를 출력한다. DFLAB 신호에서의 전이를 감지하면 즉시 각 메모리장치(52)는 소정의 시간간격에 이어 데이터 버스(DQ) 상에 독출 또는 기입 데이터를 출력한다. DFLAB 신호는 동일한 스테터 버스 구조로 구성되므로 DFLAB 신호는 기입클럭 신호(WCLK) 및 데이터 버스 신호들(DQ)에 동기하여 수신된다. 이러한 이유 때문에 DFLAB 신호는 메모리 컨트롤러(40)와 메모리 모듈들(42A, 42B) 사이에서의 전파방향으로 WCLK 신호 및 DQ 신호들과 동일한 전파지연을 갖게 될 것이다.

C/A 버퍼(46)는, 독출클럭 신호(RCLK)가 기입클럭 신호(WCLK)에 동기하여 발생하는 것과 동일한 방식으로 DFLAB 신호에 동기하여 리턴패스(return path)를 위한 프래그 신호(RFLAB)를 선택적으로 발생할 수 있다. 예컨대 지연동기 루프 또는 위상동기 루프가, 수신된 DFLAB 신호를 기초로 하여 리턴 프래그 신호들(RFLAB\_M1, RFLAB\_M2)을 발생하기 위해서 C/A 버퍼(46) 내에 포함될 수 있다. RFLAB 신호는 메모리장치들(52)로부터 출력되는 독출 데이터(DQ)가 메모리 컨트롤러(40)에 도착할 시기에 관련된 타이밍 정보를 수반한다. 메모리 컨트롤러(40)는 메모리 모듈로부터 전달된 독출클럭 신호(RCLK\_M1, RCLK\_M2)에 동기하여

특 2002-0066381

모뎀(42A, 42B) 상의 메모리장치들(52)로부터 전달된 유효 데이터를 수신할 수 있다. 반면에, 메모리 컨트롤러에서 WCLK 신호와 RCLK 신호 간의 시간차이가 하나의 클럭 싸이클보다 더 크다면 메모리 컨트롤러는 메모리장치들(52)로부터 유효(Invalid) 데이터를 수신할 수 있다. RFLA8 신호는 항상 메모리 컨트롤러(40)에 의해 유효 데이터가 수신되는 것을 보장한다. 그래서 메모리 컨트롤러(40)는 모뎀(42A, 42B)로부터 전달된 독출 프래그 신호(RFLA8\_M1, RFLA8\_M2)와 독출클럭 신호(RCLK\_M1, RCLK\_M2)에 응답하여 데이터를 수신한다. 이와 동일한 방식으로 모뎀(42A, 42B) 상의 메모리장치들(52)은 컨트롤러(42A, 42B)로부터 전달된 DFLA8 신호와 WCLK 신호에 응답하여 데이터를 수신한다.

따라서 메모리 컨트롤러(40)는 C/A 버퍼(46A)에 의해 출력되는 RFL8 신호를 경유하여 독출 데이터(DQ)의 도착시간을 인식한다. RFLA8 신호는 DQ 신호와 동일한 버스 스테르 구조를 갖기 때문에 RFLA8 신호는 독출 데이터(DQ) 신호와 동일한 전파 지연시간을 갖는다. 메모리 컨트롤러(40)가 컨트롤러(40)에서 발생한 DFLA8 신호와 메모리 모뎀(42)에 의해 전송된 독출 데이터(DQ) 사이의 위상차이를 보상할 수 있다면, 별도의 RFLA8 신호에 대한 필요성이 없다. RFLA8 신호에 대한 필요성이 있다면, RFLA8 신호는 RCLK 신호들과 동일한 방식으로 발생되고 라우트(route)될 수 있다. RFLA8 신호와 DFLA8 신호가 데이터 버스(DQ) 신호들과 함께 라우트된다면 다수개의 RFLA8 신호들과 DFLA8 신호들이 필요하기 때문에 (각 메모리장치(52)에 대해 적어도 하나), RFLA8 신호와 DFLA8 신호는 데이터 버스(DQ) 신호를 대신에 제어/어드레스(C/A) 버스 신호들과 함께 라우트되는 것이 바람직하다. 그러나 RFLA8 신호와 DFLA8 신호가 C/A 버스 상으로 라우트된다면 각각 하나의 RFLA8 신호와 DFLA8 신호만이 필요하다. 모뎀(42A, 42B)로부터 메모리 컨트롤러(40)까지의 각 패스 길이가 서로 다르기 때문에, 메모리 모뎀(42A, 42B)의 각 C/A 버퍼(46)는 독립적인 RFLA8 신호(RFLA8\_M1, RFLA8\_M2)를 발생하여 메모리 컨트롤러(40)로 전송하는 것이 바람직하다. 상술한 바와 같이 부하등화(Loading equalization)는 더미 커패시터를 또는 더미 핀들(68A, 68B)을 포함시킴으로써 달성될 수 있다. 또한 상술한 바와 같이 시스템 버스(50) 상의 위치(53)에서 신호 패스들을 교차시킴으로써 서로 다른 모뎀들에 대해 유사한 핀 구성들이 얻어질 수 있다.

메모리 모뎀들은 일반적으로 싱글 사이드(Single-sided) 모뎀 또는 더블 사이드(Double-sided) 모뎀 둘로 분류될 수 있다. 싱글 사이드 모뎀들은 모뎀의 한면에만 메모리장치들을 포함하는 것이고 더블 사이드 모뎀들은 모뎀의 양면에 메모리장치들을 포함하는 것이다. 데이터 버스(DQ)의 부하와 기입클럭 라인(WCLK)의 부하는 메모리 모뎀의 형태에 따라 가변된다. 예컨대 WCLK 신호의 부하는 싱글 사이드 모뎀에 비하여 더블 사이드 모뎀에서 더 크다. 그 이유는 더블 사이드 모뎀 상에서는 WCLK 라인이 두 개의 WCLK 핀들 (즉 앞면의 디램을 위한 한 개와 뒷면의 디램을 위한 다른 한 개)로 라우트되고 반면에 싱글 사이드 모뎀 상에서는 WCLK 라인이 한 개의 WCLK 핀으로 라우트되기 때문이다. 대조적으로 C/A 버퍼로 입력되는 기입클럭(WCLK)의 부하와 C/A 버퍼로부터 출력되는 독출클럭 신호(RCLK\_M1, RCLK\_M2)의 부하는 싱글 사이드 모뎀과 더블 사이드 모뎀에서 공히 동일하다. 그 이유는 C/A 버퍼가 일반적으로 모뎀의 한면에만 탑재(Mount)되기 때문이다. 모뎀의 형태에 따라서 즉 싱글 사이드 모뎀이나 더블 사이드 모뎀이든 상관없이 DQ 버스, WCLK 라인, 및 RCLK\_M1, RCLK\_M2의 부하의 차이에 의해 야기되는 스루가 발생할 수 있다. 이러한 문제를 극복하기 위해 더미 핀들(72A, 72B)이 도 7에 도시된 바와 같이 C/A 버퍼(46)에 제공될 수 있다. 더블 사이드 모뎀에서는 두 번째 세트의 더미 핀들(72A, 72B)이 제공되고 WCLK/RCLK/RFLA8 핀들(70A, 70B)에 연결된다. 다른 방법으로는 도 8에 도시된 바와 같이 전환가능한(Switchable) 커패시터들(74A, 74B)이 더블 사이드 모뎀에서 C/A 버퍼에 제공될 수 있다. 더미 커패시터들(74A, 74B)의 커패시턴스 값은 모뎀의 두 번째 면에서 DQ 및 WCLK 라인들에 의해 접하는 어번의 커패시턴스 값과 매치(Match)되도록 선택된다. 더블 사이드 모뎀의 경우, 디램들에 연결되는 DQ와 WCLK 라인들은 두 개의 입력핀들, 즉 앞면의 한핀과 뒷면의 다른 한핀을 바라보게 된다. 반면에 C/A 버퍼에 연결되는 WCLK, RCLK, 및 RFLA8 라인들은 C/A 버퍼가 일반적으로 모뎀의 한면에만 탑재되기 때문에 단지 하나의 입력핀만을 바라보게 된다. 그러므로 모뎀의 양면 상에서 디램 장치들에 연결되는 DQ/WCLK 라인들과 모뎀의 한면 상에서 C/A 버퍼에 연결되는 WCLK/RCLK/RFLA8 라인들 사이에는 부하 불일치(Mismatch)가 존재하게 된다. 이 부하 불일치를 완화시키기 위해서 본 발명의 C/A 버퍼(46)는 WCLK, RCLK, 및 RFLA8 라인들에 대한 더미 핀들(72A) 또는 더미 커패시터(74A, 74B)를 제공한다.

도 9를 참조하면, 본 발명의 다른 실시예가 제공된다. 이 실시예에서는 수신된 기입클럭(WCLK)을 기초로 하여 그리고 기입클럭(WCLK)에 동기하여 독출클럭(RCLK)을 발생시키는 대신에, 기입클럭(WCLK)의 전파방향과 반대 방향으로 시스템 버스(50)를 가로질러 분배되는 독출클럭 신호(RCLK)를 발생시키기 위해 별도의 독출클럭 발생기(76)가 제공된다. 독출클럭 라인(RCLK)은 메모리 컨트롤러(40)에서 종단된다. 이 실시예에서는 스테르 버스 구조의 본질적인 문제가 분명해진다. 도 10을 참조하여, RCLK 신호가 발생기(76)에서 발생되고 데이터가 모뎀(42A)에 탑재된 메모리장치로부터 독출된다고 가정한다. 이러한 시나리오에서 RCLK 신호는 RCLK 라인을 따라 직접 메모리 컨트롤러(40)로 전파된다. 메모리 모뎀(42A)은, 점선(80A)의 패스를 따라 RCLK 신호의 전파에 의해 나타나는 지연시간 후 RCLK 라인으로부터 RCLK 신호를 수신한다. 독출된 데이터(DQ)는 점선(80B)으로 표시된 패스를 경유하여 DQ 버스로 전달된다. 다음에 독출된 데이터(DQ)는 메모리 컨트롤러(40A)를 향해 계속 전파된다. 이러한 방식으로 RCLK 신호는 독출 데이터(DQ)에 앞서서 메모리 컨트롤러(40)에서 사용가능해진다. 이러한 관점에서 RCLK 신호와 DQ 데이터 사이에 위상차이가 존재하게 되고 이 위상차이는 점선들(80A, 80B)로 표시된 스테르 신호 라인들을 따른 전파지연에 의해 나타내게 된다. 이 타임스큐가 작다고 가정하거나 컨트롤러가 타임스큐를 보상할 수 있다고 가정하면 도 9의 구조는 본 발명의 메모리 시스템에 응용할 수 있다.

이상 도면과 명세서에서 최적 실시예들이 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

#### 발명의 효과

상술한 바와 같이 도 3 내지 도 8의 실시예에 따라 스테르 버스 구조를 갖는 메모리 시스템에서 단일(single) 프리리닝 클럭이 데이터 신호들과 동일한 패스를 통해 제공된다. 싱글클럭 영역이 기입 및 독출

록 2002-0066381

동작에 대해 모두 적용된다. 기입 및 독출동작을 위해 독출 또는 기입클럭 신호가 데이터 신호들과 동일한 전송패스를 통해 라우트되고, 따라서 유효데이터의 윈도우를 최대화함으로써 시스템 전달률이 증가된다. 따라서 스트로브 신호의 프리앰블 구간(preamble interval)에 대한 필요성이 제거되며 따라서 데이터 버스 활용도가 증가되고 메모리 모듈 커넥터를 상의 편 수가 감소된다.

#### (5) 청구의 범위

##### 청구항 1

스터브 구조로 배열되는 제1클럭신호 라인, 제어 버스, 어드레스 버스, 및 데이터 버스 상으로 제1클럭신호, 제어신호, 어드레스 신호, 및 데이터 신호들을 발생하는 컨트롤러; 및

상기 컨트롤러에 연결되는 메모리장치들을 포함하고 상기 제1클럭신호 및 독출 또는 기입명령을 포함하는 상기 제어신호를 수신하는 메모리 모듈을 구비하며,

상기 메모리 모듈은 상기 기입명령에 응답하여 상기 제1클럭신호에 동기하여 상기 데이터 신호를 상기 데이터 버스로부터 상기 메모리장치들로 기입하는 기입동작을 개시(terminate)하고,

상기 메모리 모듈은 상기 독출명령에 응답하여 상기 제1클럭신호에 동기하여 상기 데이터 신호를 상기 메모리장치들로부터 상기 데이터 버스로 독출하는 독출동작을 개시하고 상기 제1클럭신호에 응답하여 제2클럭신호를 발생하며, 상기 제2클럭신호는 상기 컨트롤러에 제공되고 상기 컨트롤러는 상기 독출동작 동안 상기 제2클럭신호에 응답하여 상기 데이터 버스의 상기 데이터 신호들을 수신하는 것을 특징으로 하는 스템 구조를 갖는 메모리 시스템.

##### 청구항 2

제1항에 있어서, 상기 제1클럭신호는 기입클럭을 포함하고 상기 제2클럭신호는 독출클럭을 포함하는 것을 특징으로 하는 메모리 시스템.

##### 청구항 3

제1항에 있어서, 상기 메모리 시스템은 다수개의 메모리 모듈들을 구비하고 상기 다수개의 메모리 모듈들은 각각 독립적이고 서로 위상차가 있는 제2클럭신호들을 발생하는 것을 특징으로 하는 메모리 시스템.

##### 청구항 4

제3항에 있어서, 상기 다수개의 제2클럭신호들의 위상들은 상기 각 메모리 모듈과 상기 컨트롤러 사이의 전파지연의 차이로 인하여 서로 다른 것을 특징으로 하는 메모리 시스템.

##### 청구항 5

제1항에 있어서, 상기 메모리 모듈로부터 상기 컨트롤러까지 상기 제2클럭신호의 전파지연은 상기 데이터 버스의 전파지연과 거의(Substantially) 동일한 것을 특징으로 하는 메모리 시스템.

##### 청구항 6

제1항에 있어서, 상기 메모리 모듈은, 상기 제1클럭신호와 상기 제어신호를 수신하고 상기 제1클럭신호에 응답하여 상기 제2클럭신호를 발생하는 제어/어드레스 버퍼를 더 포함하는 것을 특징으로 하는 메모리 시스템.

##### 청구항 7

제1항에 있어서, 상기 메모리 모듈은, 상기 제1클럭신호를 수신하고 상기 제1클럭신호에 응답하여 상기 제2클럭신호를 발생하는 위상 동기 루프를 더 포함하는 것을 특징으로 하는 메모리 시스템.

##### 청구항 8

제1항에 있어서, 상기 메모리 모듈은, 상기 제1클럭신호를 수신하고 상기 제1클럭신호에 응답하여 상기 제2클럭신호를 발생하는 지연 동기 루프를 더 포함하는 것을 특징으로 하는 메모리 시스템.

##### 청구항 9

제1항에 있어서, 상기 메모리 모듈은, 상기 제1클럭신호에 응답하여 상기 제2클럭신호를 발생하기 위해 상기 제1클럭신호를 수신하는 제1클럭신호 라인에 연결되는 리턴 패스를 포함하는 것을 특징으로 하는 메모리 시스템.

##### 청구항 10

제9항에 있어서, 상기 메모리 모듈은 상기 메모리 모듈의 메모리장치에 의해 상기 데이터 버스의 용량 상 부하를 보상하기 위해 선택되는 커패시턴스를 갖는 커패시터를 더 포함하고, 상기 커패시터는 상기 제1클럭신호 라인과 상기 리턴 패스의 접합점에 연결되는 것을 특징으로 하는 메모리 시스템.

##### 청구항 11

제1항에 있어서, 상기 메모리 시스템은 상기 제2클럭신호로서 각각의 제1 및 제2리턴클럭 신호들을 발생시키는 제1 및 제2메모리 모듈들을 구비하고 상기 제1 및 제2메모리 모듈들과 상기 컨트롤러를 연결하는 마더보드를 더 구비하며,

상기 마더보드는 상기 데이터 신호들을 전달하기 위한 데이터 버스, 상기 제어신호를 전달하기 위한 제어 버스, 상기 어드레스 신호를 전달하기 위한 어드레스 버스, 상기 제1클럭신호를 전달하기 위한 제1클럭신

특 2002-0066381

호 라인, 및 상기 제1 및 제2리턴클럭 신호들을 전달하기 위한 제1 및 제2리턴클럭 신호 라인들을 포함하는 것을 특징으로 하는 메모리 시스템.

**형구항 12**

제11항에 있어서, 상기 제1 및 제2리턴클럭 신호 라인들은 상기 제1모듈과 상기 제2모듈 사이의 상기 마더보드 상에서 교차되는 것을 특징으로 하는 메모리 시스템.

**형구항 13**

제11항에 있어서, 상기 제1리턴클럭 신호 라인은 상기 제2메모리 모듈상의 더미부하에 연결되고 상기 제2리턴클럭 신호 라인은 상기 제1메모리 모듈상의 더미부하에 연결되는 것을 특징으로 하는 메모리 시스템.

**형구항 14**

제13항에 있어서, 상기 더미부하는 부하 커패시터 또는 더미 핀을 포함하는 것을 특징으로 하는 메모리 시스템.

**형구항 15**

제13항에 있어서, 상기 더미부하는 상기 데이터 버스의 용량성 부하를 매치시키기 위해 선택되는 것을 특징으로 하는 메모리 시스템.

**형구항 16**

제1항에 있어서, 상기 메모리 시스템은 상기 콘트롤러에 의해 발생하는 제1프래그 신호를 더 구비하고,

상기 메모리 모듈은 상기 제1프래그 신호에 응답하여 기입동작 또는 독출동작의 개시시기를 제어하고 독출동작이 명령되면 상기 제1프래그 신호에 응답하여 제2프래그 신호를 발생하며,

상기 제2프래그 신호는 상기 콘트롤러에 제공되고 상기 콘트롤러는 독출동작 동안에 상기 제2클럭신호와 상기 제2프래그 신호에 응답하여 상기 데이터 버스의 상기 데이터 신호들을 수신하는 것을 특징으로 하는 메모리 시스템.

**형구항 17**

제16항에 있어서, 상기 메모리 시스템은 각각의 제1 및 제2프래그 신호들을 발생하는 제1 및 제2메모리 모듈들을 구비하고 상기 제1 및 제2메모리 모듈들과 상기 콘트롤러를 연결하는 마더보드를 더 구비하며,

상기 마더보드는 상기 데이터 신호들을 전달하기 위한 데이터 버스, 상기 제어신호를 전달하기 위한 제어 버스, 상기 어드레스 신호를 전달하기 위한 어드레스 버스, 상기 제1프래그 신호를 전달하기 위한 제1프래그 신호 라인, 및 상기 제1 및 제2리턴 프래그 신호들을 전달하기 위한 제1 및 제2리턴 프래그 신호 라인들을 포함하고,

상기 제1프래그 신호 라인과 상기 제1 및 제2리턴 프래그 신호 라인들은 상기 제어버스와 상기 어드레스 버스와 함께 라우트되는 것을 특징으로 하는 메모리 시스템.

**형구항 18**

제17항에 있어서, 상기 제1 및 제2리턴 프래그 신호 라인들은 상기 제1모듈과 상기 제2모듈 사이의 상기 마더보드 상에서 교차되는 것을 특징으로 하는 메모리 시스템.

**형구항 19**

제17항에 있어서, 상기 제1리턴 프래그 신호 라인은 상기 제2메모리 모듈상의 더미부하에 연결되고 상기 제2리턴 프래그 신호 라인은 상기 제1메모리 모듈상의 더미부하에 연결되는 것을 특징으로 하는 메모리 시스템.

**형구항 20**

제19항에 있어서, 상기 더미부하는 부하 커패시터 또는 더미 핀을 포함하는 것을 특징으로 하는 메모리 시스템.

**형구항 21**

제19항에 있어서, 상기 더미부하는 상기 데이터 버스의 용량성 부하를 매치시키기 위해 선택되는 것을 특징으로 하는 메모리 시스템.

**형구항 22**

제1항에 있어서, 상기 메모리 시스템은 상기 메모리 모듈의 제1면에 탑재되는 제어버퍼; 및

상기 메모리 모듈의 제1면 및 제2면에 탑재되는 메모리장치들의 제2신호라인에 의해 접하는(experienced) 부하와의 매칭을 제공하기 위해 상기 제어버퍼의 제1신호라인에 연결하기 위한 더미부하를 더 구비하는 것을 특징으로 하는 메모리 시스템.

**형구항 23**

제22항에 있어서, 상기 더미부하는 부하 커패시터 또는 더미 핀을 포함하는 것을 특징으로 하는 메모리 시스템.



특2002-0066381

**항구항 24**

제22항에 있어서, 상기 제1신호라인은 상기 제1클럭신호 또는 상기 제2클럭신호를 포함하고, 상기 제2신호라인은 상기 데이터 버스 또는 상기 제1클럭신호를 포함하는 것을 특징으로 하는 메모리 시스템.

**항구항 25**

스터브 구조로 배열되는 제1프래그 신호 라인, 제어 버스, 어드레스 버스, 및 데이터 버스 상으로 제1프래그 신호, 제어신호, 어드레스 신호, 및 데이터 신호를 발생하는 폰트roller; 및

상기 컨트롤러에 연결되는 메모리장치들을 포함하고 상기 제1프래그 신호 및 독출 또는 기입명령을 포함하는 상기 제어신호를 수신하는 메모리 모듈을 구비하며,

상기 메모리 모듈은 상기 기입명령에 응답하여 상기 제1프래그 신호에 동기하여 상기 데이터 신호들을 상기 데이터 버스로부터 상기 메모리장치들로 기입하는 기입동작을 개시하고,

상기 메모리 모듈은 상기 독출명령에 응답하여 상기 제1프래그 신호에 동기하여 상기 데이터 신호들을 상기 메모리장치들로부터 상기 데이터 버스로 독출하는 독출동작을 개시하고 상기 제1프래그 신호에 응답하여 제2프래그 신호를 발생하며, 상기 제2프래그 신호는 상기 컨트롤러에 제공되고 상기 폰트roller는 상기 독출동작 동안 상기 제2프래그 신호에 응답하여 상기 데이터 버스의 상기 데이터 신호들을 수신하는 것을 특징으로 하는 스텔브 구조를 갖는 메모리 시스템.

**항구항 26**

제25항에 있어서, 상기 메모리 시스템은 상기 컨트롤러에 의해 발생하는 제1클럭신호를 더 구비하고,

상기 메모리 모듈은 상기 제1클럭신호에 응답하여 상기 기입동작 또는 독출동작을 개시하고 독출동작이 명령되면 상기 제1클럭신호에 응답하여 제2클럭신호를 발생하며,

상기 제2클럭신호는 상기 컨트롤러에 제공되고 상기 폰트roller는 독출동작 동안에 상기 제2클럭신호와 상기 제2프래그 신호에 응답하여 상기 데이터 버스의 상기 데이터 신호들을 수신하는 것을 특징으로 하는 메모리 시스템.

**항구항 27**

제26항에 있어서, 상기 제1클럭신호는 기입클럭을 포함하고 상기 제2클럭신호는 독출클럭을 포함하는 것을 특징으로 하는 메모리 시스템.

**항구항 28**

제26항에 있어서, 상기 메모리 시스템은 다수개의 메모리 모듈들을 구비하고 상기 다수개의 메모리 모듈들은 각각 독립적이고 서로 위상차가 있는 제2클럭신호들을 발생하는 것을 특징으로 하는 메모리 시스템.

**항구항 29**

제28항에 있어서, 상기 다수개의 제2클럭신호들의 위상들은 상기 각 메모리 모듈과 상기 컨트롤러 사이의 전파지연의 차이로 인하여 서로 다른 것을 특징으로 하는 메모리 시스템.

**항구항 30**

제26항에 있어서, 상기 메모리 모듈로부터 상기 폰트roller까지 상기 제2클럭신호의 전파지연은 상기 데이터 버스의 전파지연과 거의(Substantially) 동일한 것을 특징으로 하는 메모리 시스템.

**항구항 31**

제26항에 있어서, 상기 메모리 모듈은, 상기 제1클럭신호와 상기 제어/어드레스 신호를 수신하고 상기 제1클럭신호에 응답하여 상기 제2클럭신호를 발생하는 제어/어드레스 버퍼를 더 포함하는 것을 특징으로 하는 메모리 시스템.

**항구항 32**

제26항에 있어서, 상기 메모리 모듈은, 상기 제1클럭신호를 수신하고 상기 제1클럭신호에 응답하여 상기 제2클럭신호를 발생하는 위상 동기 루프를 더 포함하는 것을 특징으로 하는 메모리 시스템.

**항구항 33**

제28항에 있어서, 상기 메모리 모듈은, 상기 제1클럭신호를 수신하고 상기 제1클럭신호에 응답하여 상기 제2클럭신호를 발생하는 지연 동기 루프를 더 포함하는 것을 특징으로 하는 메모리 시스템.

**항구항 34**

제28항에 있어서, 상기 메모리 모듈은, 상기 제1클럭신호에 응답하여 상기 제2클럭신호를 발생하기 위해 상기 제1클럭신호를 수신하는 제1클럭신호 라인에 연결되는 리턴 패스를 포함하는 것을 특징으로 하는 메모리 시스템.

**항구항 35**

제34항에 있어서, 상기 메모리 모듈은 상기 메모리 모듈의 메모리장치에 의해 상기 데이터 버스의 용량성 부하를 보상하기 위해 선택되는 커패시터를 갖는 커패시터를 더 포함하고, 상기 커패시터는 상기 제1클럭신호 라인과 상기 리턴 패스의 접합점에 연결되는 것을 특징으로 하는 메모리 시스템.

목 2002-0066381

**청구항 36**

제26항에 있어서, 상기 메모리 시스템은 상기 제2클럭신호로서 각각의 제1 및 제2리턴클럭 신호들을 발생하는 제1 및 제2메모리 모듈들; 및

상기 제1 및 제2메모리 모듈들과 상기 컨트롤러를 연결하는 마더보드를 더 구비하고,

상기 마더보드는 상기 데이터 신호들을 전달하기 위한 데이터 버스, 상기 제어신호를 전달하기 위한 제어 버스, 상기 어드레스 신호를 전달하기 위한 어드레스 버스, 상기 제1클럭신호를 전달하기 위한 제1클럭신호 라인, 및 상기 제1 및 제2리턴클럭 신호들을 전달하기 위한 제1 및 제2리턴클럭 신호 라인들을 포함하는 것을 특징으로 하는 메모리 시스템.

**청구항 37**

제36항에 있어서, 상기 제1 및 제2리턴클럭 신호 라인들은 상기 제1모듈과 상기 제2모듈 사이의 상기 마더보드 상에서 교차되는 것을 특징으로 하는 메모리 시스템.

**청구항 38**

제36항에 있어서, 상기 제1리턴클럭 신호 라인은 상기 제2메모리 모듈상의 더미부하에 연결되고 상기 제2리턴클럭 신호 라인은 상기 제1메모리 모듈상의 더미부하에 연결되는 것을 특징으로 하는 메모리 시스템.

**청구항 39**

제38항에 있어서, 상기 더미부하는 부하 커패시터 또는 더미 핀을 포함하는 것을 특징으로 하는 메모리 시스템.

**청구항 40**

제39항에 있어서, 상기 더미부하는 상기 데이터 버스의 용량성 부하를 매치시키기 위해 선택되는 것을 특징으로 하는 메모리 시스템.

**청구항 41**

제25항에 있어서, 상기 메모리 시스템은 각각의 제1 및 제2프래그 신호들을 발생하는 제1 및 제2메모리 모듈들; 및

상기 제1 및 제2메모리 모듈들과 상기 컨트롤러를 연결하는 마더보드를 더 구비하고,

상기 마더보드는 상기 데이터 신호들을 전달하기 위한 데이터 버스, 상기 제어신호를 전달하기 위한 제어 버스, 상기 어드레스 신호를 전달하기 위한 어드레스 버스, 상기 제1프래그 신호를 전달하기 위한 제1프래그 신호 라인, 및 상기 제1 및 제2리턴 프래그 신호들을 전달하기 위한 제1 및 제2리턴 프래그 신호 라인들을 포함하고,

상기 제1프래그 신호 라인과 상기 제1 및 제2리턴 프래그 신호 라인들은 상기 제어버스와 상기 어드레스 버스와 함께 라우트되는 것을 특징으로 하는 메모리 시스템.

**청구항 42**

제41항에 있어서, 상기 제1 및 제2리턴 프래그 신호 라인들은 상기 제1모듈과 상기 제2모듈 사이의 상기 마더보드 상에서 교차되는 것을 특징으로 하는 메모리 시스템.

**청구항 43**

제41항에 있어서, 상기 제1리턴 프래그 신호 라인은 상기 제2메모리 모듈상의 더미부하에 연결되고 상기 제2리턴 프래그 신호 라인은 상기 제1메모리 모듈상의 더미부하에 연결되는 것을 특징으로 하는 메모리 시스템.

**청구항 44**

제43항에 있어서, 상기 더미부하는 부하 커패시터 또는 더미 핀을 포함하는 것을 특징으로 하는 메모리 시스템.

**청구항 45**

제44항에 있어서, 상기 더미부하는 상기 데이터 버스의 용량성 부하를 매치시키기 위해 선택되는 것을 특징으로 하는 메모리 시스템.

**청구항 46**

제25항에 있어서, 상기 메모리 시스템은 상기 메모리 모듈의 제1면에 탑재되는 제어버퍼; 및

상기 메모리 모듈의 제1면 및 제2면에 탑재되는 메모리장치들의 제2신호라인에 의해 접하는 부하와의 매칭을 제공하기 위해 상기 제어버퍼의 제1신호라인에 연결하는 더미부하를 더 구비하는 것을 특징으로 하는 메모리 시스템.

**청구항 47**

제46항에 있어서, 상기 더미부하는 부하 커패시터 또는 더미 핀을 포함하는 것을 특징으로 하는 메모리 시스템.

록 2002-0066381

**청구항 48**

제48항에 있어서, 상기 제1신호라인은 상기 제1프래그 신호 또는 상기 제2프래그 신호를 포함하고, 상기 제2신호라인은 상기 데이터 버스를 포함하는 것을 특징으로 하는 메모리 시스템.

**청구항 49**

제25항에 있어서, 상기 메모리 모듈은, 상기 제1프래그 신호와 상기 제어신호를 수신하고 상기 제1프래그 신호에 응답하여 상기 제2프래그 신호를 발생하는 제버퍼를 더 포함하는 것을 특징으로 하는 메모리 시스템.

**청구항 50**

제25항에 있어서, 상기 메모리 모듈은, 상기 제1프래그 신호를 수신하고 상기 제1프래그 신호에 응답하여 상기 제2프래그 신호를 발생하는 위상 동기 루프를 더 포함하는 것을 특징으로 하는 메모리 시스템.

**청구항 51**

제25항에 있어서, 상기 메모리 모듈은, 상기 제1프래그 신호를 수신하고 상기 제1프래그 신호에 응답하여 상기 제2프래그 신호를 발생하는 지연 동기 루프를 더 포함하는 것을 특징으로 하는 메모리 시스템.

**청구항 52**

제25항에 있어서, 상기 메모리 모듈은, 상기 제1프래그 신호에 응답하여 상기 제2프래그 신호를 발생하기 위해 상기 제1프래그 신호를 수신하는 제1프래그 신호 라인에 연결되는 리턴 패스를 포함하는 것을 특징으로 하는 메모리 시스템.

**청구항 53**

제52항에 있어서, 상기 메모리 모듈은 상기 메모리 모듈의 메모리장치에 의해 상기 데이터 버스상의 용량성 부하를 보상하기 위해 선택되는 커패시터를 갖는 커패시터를 더 포함하고, 상기 커패시터는 상기 제1프래그 신호 라인과 상기 리턴 패스의 접합점에 연결되는 것을 특징으로 하는 메모리 시스템.

**청구항 54**

스터브 구조로 배열되는 제1클럭신호 라인, 제어 버스, 어드레스 버스, 및 데이터 버스 상으로 제1클럭신호, 제어신호, 어드레스 신호, 및 데이터 신호들을 발생하는 컨트롤러;

제2클럭신호를 발생하는 제2클럭신호 발생기; 및

상기 컨트롤러에 연결되는 메모리장치들을 포함하고 상기 제1클럭신호, 상기 제2클럭신호, 및 독출 또는 기입명령을 포함하는 상기 제어신호를 수신하는 메모리 모듈을 구비하며,

상기 제1클럭신호는 제1전파 방향으로 상기 컨트롤러로부터 상기 메모리 모듈로 전파하고 상기 제2클럭신호는 제2전파 방향으로 상기 메모리 모듈로부터 상기 컨트롤러로 전파하고,

상기 메모리 모듈은 상기 기입명령에 응답하여 상기 제1클럭신호에 동기하여 상기 데이터 신호들을 상기 데이터 버스로부터 상기 메모리장치들로 기입하는 기입동작을 개시하고,

상기 메모리 모듈은 상기 독출명령에 응답하여 상기 제2클럭신호에 응답하여 상기 데이터 신호들을 상기 메모리장치들로부터 상기 데이터 버스로 독출하는 독출동작을 개시하고, 상기 컨트롤러는 상기 독출동작 동안 상기 제2클럭 신호에 응답하여 상기 데이터 버스상의 상기 데이터 신호들을 수신하는 것을 특징으로 하는 스템의 구조를 갖는 메모리 시스템.

**청구항 55**

제54항에 있어서, 상기 제1클럭신호는 기입클럭을 포함하고 상기 제2클럭신호는 독출클럭을 포함하는 것을 특징으로 하는 메모리 시스템.

**청구항 56**

제55항에 있어서, 상기 메모리 컨트롤러는 상기 수신된 제2클럭신호와 상기 데이터 버스상의 상기 데이터 신호를 사이의 위상차를 보상하는 것을 특징으로 하는 메모리 시스템.

**청구항 57**

스터브 구조로 배열되는 제1클럭신호 라인, 제어 버스, 어드레스 버스, 및 데이터 버스 상으로 제1클럭신호, 제어신호, 어드레스 신호, 및 데이터 신호들을 발생하는 컨트롤러; 및

제1면 및 제2면에 메모리장치들이 탑재되고 상기 제1면에 제어 및 어드레스 버퍼가 탑재되며 상기 제1클럭신호, 상기 어드레스 신호, 및 독출 또는 기입명령을 포함하는 상기 제어신호를 수신하는 메모리 모듈을 구비하며,

상기 메모리 모듈은 상기 기입명령에 응답하여 상기 제1클럭신호에 동기하여 상기 데이터 신호들을 상기 데이터 버스로부터 상기 메모리장치들로 기입하는 기입동작을 개시하고,

상기 메모리 모듈은 상기 독출명령에 응답하여 상기 제1클럭신호에 동기하여 상기 데이터 신호들을 상기 메모리장치들로부터 상기 데이터 버스로 독출하는 독출동작을 상기 제어 및 어드레스 버퍼에서 개시하고 또한 상기 제1클럭신호에 응답하여 제2클럭신호를 발생하며, 상기 제2클럭신호는 상기 컨트롤러에 제공되고 상기 컨트롤러는 상기 독출동작 동안 상기 제2클럭 신호에 응답하여 상기 데이터 버스상의 상기 데이

특 2002-0066381

터 신호를 수신하는 것을 특징으로 하는 스템 구조를 갖는 메모리 시스템.

#### 청구항 58

스템브 구조로 배열되는 제1프래그 신호 라인, 제어 버스, 어드레스 버스, 및 데이터 버스 상으로 제1프래그 신호, 제어신호, 어드레스 신호, 및 데이터 신호들을 발생하는 컨트롤러;

상기 컨트롤러에 연결되는 메모리장치들을 포함하고 상기 제1프래그 신호 및 독출 또는 기입명령을 포함하는 상기 제어신호를 수신하는 메모리 모듈; 및

상기 메모리 모듈과 상기 컨트롤러를 연결하는 마더보드를 구비하며,

상기 메모리 모듈은 상기 기입명령에 응답하여 상기 제1프래그 신호에 응답하여 상기 데이터 신호들을 상기 데이터 버스로부터 상기 메모리장치들로 기입하는 기입동작을 개시하고,

상기 메모리 모듈은 상기 독출명령에 응답하여 상기 제1프래그 신호에 응답하여 상기 데이터 신호들을 상기 메모리장치들로부터 상기 데이터 버스로 독출하는 독출동작을 개시하고 또한 상기 제1프래그 신호에 응답하여 제2프래그 신호를 발생하며, 상기 제2프래그 신호는 상기 컨트롤러에 제공되고 상기 컨트롤러는 상기 독출동작 동안 상기 제2프래그 신호에 응답하여 상기 데이터 버스상의 상기 데이터 신호들을 수신하고,

상기 마더보드는 상기 데이터 신호들을 전달하기 위한 상기 데이터 버스, 상기 제어신호를 전달하기 위한 상기 제어버스, 상기 어드레스 신호를 전달하기 위한 상기 어드레스 버스, 상기 제1프래그 신호를 전달하기 위한 상기 제1프래그 신호 라인, 및 상기 제2프래그 신호를 전달하기 위한 제2프래그 신호 라인을 포함하여 상기 제1프래그 신호 라인과 상기 제2프래그 신호 라인은 상기 제어 및 어드레스 버스들과 함께 라우트되는 것을 특징으로 하는 메모리 시스템.

#### 청구항 59

제58항에 있어서, 상기 메모리 모듈은 제1 및 제2메모리 모듈들을 포함하고 상기 제1 및 제2메모리 모듈들은 상기 제2프래그 신호로서 각각 독립적인 제1 및 제2리턴 프래그 신호들을 발생하고 상기 제1 및 제2프래그 신호들은 상기 제어 및 어드레스 버스들과 함께 상기 제2프래그 신호 라인상으로 라우트되는 것을 특징으로 하는 메모리 시스템.

#### 청구항 60

스템브 구조를 갖는 메모리 시스템에서 데이터를 전달하는 방법에 있어서,

스템브 구조로 배열되는 제1클럭신호 라인, 제어 버스, 어드레스 버스, 및 데이터 버스 상으로 제1클럭신호, 제어신호, 어드레스 신호, 및 데이터 신호들을 컨트롤러에서 발생하는 단계; 및

상기 컨트롤러에 연결되는 메모리장치들을 포함하는 메모리 모듈에서 상기 제1클럭신호와 독출 또는 기입명령을 포함하는 상기 제어신호를 수신하는 단계를 구비하고,

상기 메모리 모듈은 상기 기입명령에 응답하여 상기 제1클럭신호에 동기하여 상기 데이터 신호들을 상기 데이터 버스로부터 상기 메모리장치들로 기입하는 기입동작을 개시하고,

상기 메모리 모듈은 상기 독출명령에 응답하여 상기 제1클럭신호에 동기하여 상기 데이터 신호들을 상기 메모리장치들로부터 상기 데이터 버스로 독출하는 독출동작을 개시하고 또한 상기 제1클럭신호에 응답하여 제2클럭신호를 발생하며, 상기 제2클럭신호는 상기 컨트롤러에 제공되고 상기 컨트롤러는 상기 독출동작 동안 상기 제2클럭신호에 응답하여 상기 데이터 버스상의 상기 데이터 신호들을 수신하는 것을 특징으로 하는 데이터 전달 방법.

#### 청구항 61

제60항에 있어서, 상기 메모리 모듈은 다수개의 메모리 모듈들을 포함하고 상기 다수개의 메모리 모듈들은 각각 독립적이고 서로 위상차가 있는 제2클럭신호들을 발생하는 것을 특징으로 하는 데이터 전달 방법.

#### 청구항 62

제60항에 있어서, 상기 데이터 전달 방법은 상기 컨트롤러에서 제1프래그 신호를 발생하는 단계를 더 구비하고,

상기 메모리 모듈은 상기 제1프래그 신호에 응답하여 상기 기입동작 또는 독출동작의 개시시기를 제어하고 독출동작이 명령되면 상기 제1프래그 신호에 응답하여 제2프래그 신호를 발생하며,

상기 제2프래그 신호는 상기 컨트롤러에 제공되고 상기 컨트롤러는 독출동작 동안에 상기 제2클럭신호와 상기 제2프래그 신호에 응답하여 상기 데이터 버스상의 상기 데이터 신호들을 수신하는 것을 특징으로 하는 데이터 전달 방법.

#### 청구항 63

스템브 구조를 갖는 메모리 시스템에서 데이터를 전달하는 방법에 있어서,

스템브 구조로 배열되는 제1프래그 신호 라인, 제어 버스, 어드레스 버스, 및 데이터 버스 상으로 제1프래그 신호, 제어신호, 어드레스 신호, 및 데이터 신호들을 컨트롤러에서 발생하는 단계; 및

상기 컨트롤러에 연결되는 메모리장치들을 포함하는 메모리 모듈에서 상기 제1프래그 신호와 독출 또는 기입명령을 포함하는 상기 제어신호를 수신하는 단계를 구비하고,

록 2002-0066381

상기 메모리 모듈은 상기 기입명령에 응답하여 상기 제1프래그 신호에 응답하여 상기 데이터 신호들을 상기 데이터 버스로부터 상기 메모리장치들로 기입하는 기입동작을 개시하고,

상기 메모리 모듈은 상기 독출명령에 응답하여 상기 제1프래그 신호에 응답하여 상기 데이터 신호들을 상기 메모리장치들로부터 상기 데이터 버스로 독출하는 독출동작을 개시하고 또한 상기 제1프래그 신호에 응답하여 제2프래그 신호를 발생하며, 상기 제2프래그 신호는 상기 컨트롤러에 제공되고 상기 컨트롤러는 상기 독출동작 동안 상기 제2프래그 신호에 응답하여 상기 데이터 버스의 상기 데이터 신호들을 수신하는 것을 특징으로 하는 데이터 전달 방법.

**참고항 64**

제63항에 있어서, 상기 데이터 전달 방법은 상기 컨트롤러에서 제1클럭신호를 발생하는 단계를 더 구비하고,

상기 메모리 모듈은 상기 제1클럭신호에 응답하여 상기 기입동작 또는 독출동작을 개시하고 독출동작이 명령되면 상기 제1클럭신호에 응답하여 제2클럭신호를 발생하며,

상기 제2클럭신호는 상기 컨트롤러에 제공되고 상기 컨트롤러는 독출동작 동안에, 상기 제2클럭신호와 상기 제2프래그 신호에 응답하여 상기 데이터 버스의 상기 데이터 신호들을 수신하는 것을 특징으로 하는 데이터 전달 방법.

**참고항 65**

스터브 구조를 갖는 메모리 시스템에서 데이터를 전달하는 방법에 있어서,

스터브 구조로 배열되는 제1클럭신호 라인, 제어 버스, 어드레스 버스, 및 데이터 버스 상으로 제1클럭신호, 제어신호, 어드레스 신호, 및 데이터 신호들을 컨트롤러에서 발생하는 단계;

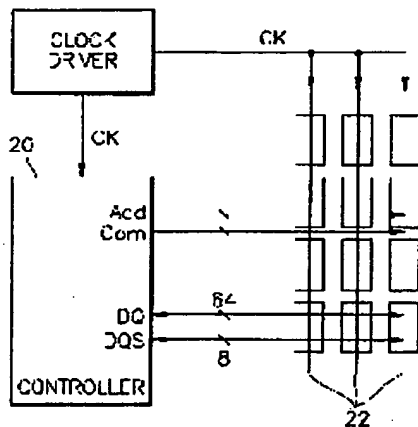
제2클럭신호 발생기에서 제2클럭신호를 발생하는 단계;

상기 컨트롤러에 연결되는 메모리장치들을 포함하는 메모리 모듈에서 상기 제1클럭신호, 상기 제2클럭신호, 및 독출 또는 기입명령을 포함하는 상기 제어신호를 수신하는 단계; 및

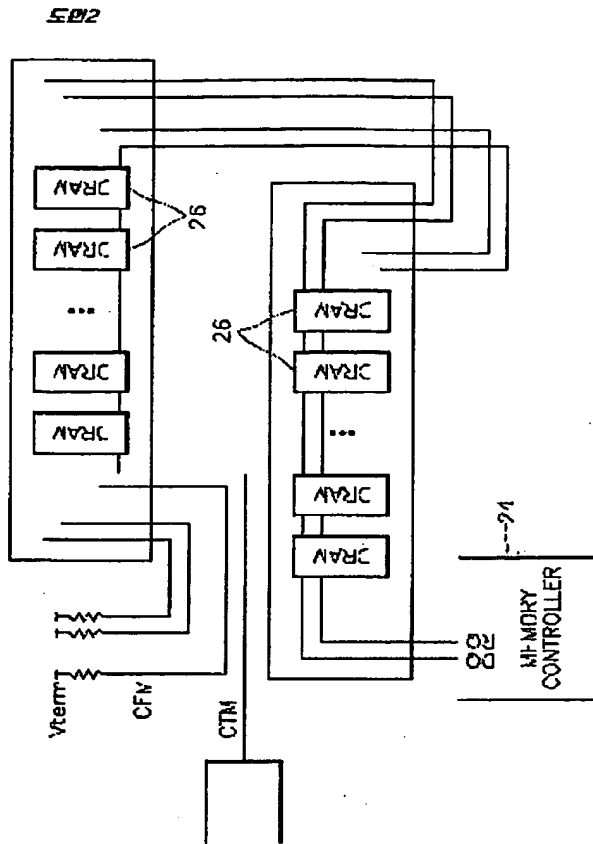
제1전파 방향으로 상기 컨트롤러로부터 상기 메모리 모듈로 상기 제1클럭신호를 전송하고 제2전파 방향으로 상기 메모리 모듈로부터 상기 컨트롤러로 상기 제2클럭신호를 전송하는 단계를 구비하고,

상기 메모리 모듈은 상기 기입명령에 응답하여 상기 제1클럭신호에 동기하여 상기 데이터 신호들을 상기 데이터 버스로부터 상기 메모리장치들로 기입하는 기입동작을 개시하고,

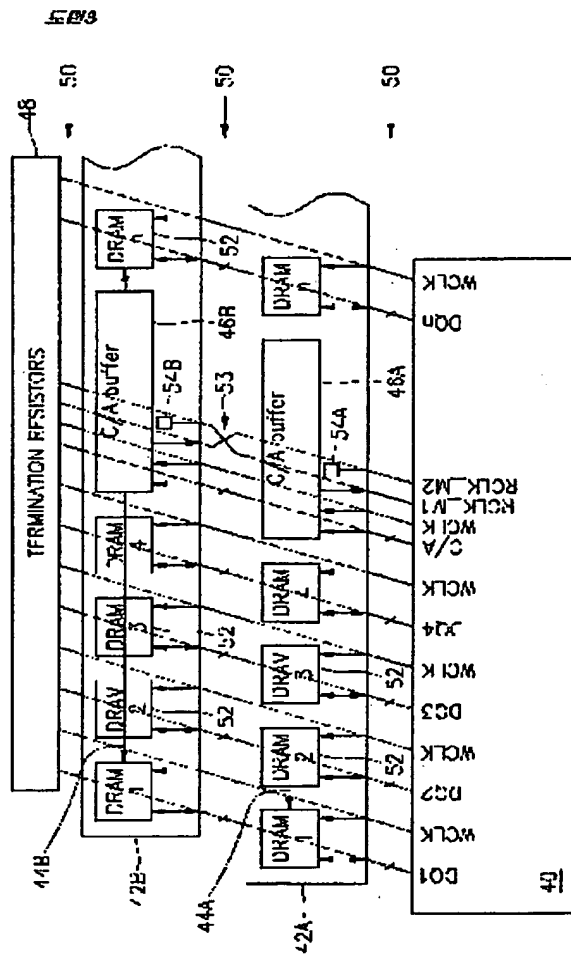
상기 메모리 모듈은 상기 독출명령에 응답하여 상기 제2클럭신호에 응답하여 상기 데이터 신호들을 상기 메모리장치들로부터 상기 데이터 버스로 독출하는 독출동작을 개시하고, 상기 컨트롤러는 상기 독출동작 동안 상기 제2클럭신호에 응답하여 상기 데이터 버스의 상기 데이터 신호들을 수신하는 것을 특징으로 하는 데이터 전달 방법.

**도면****도면 1**

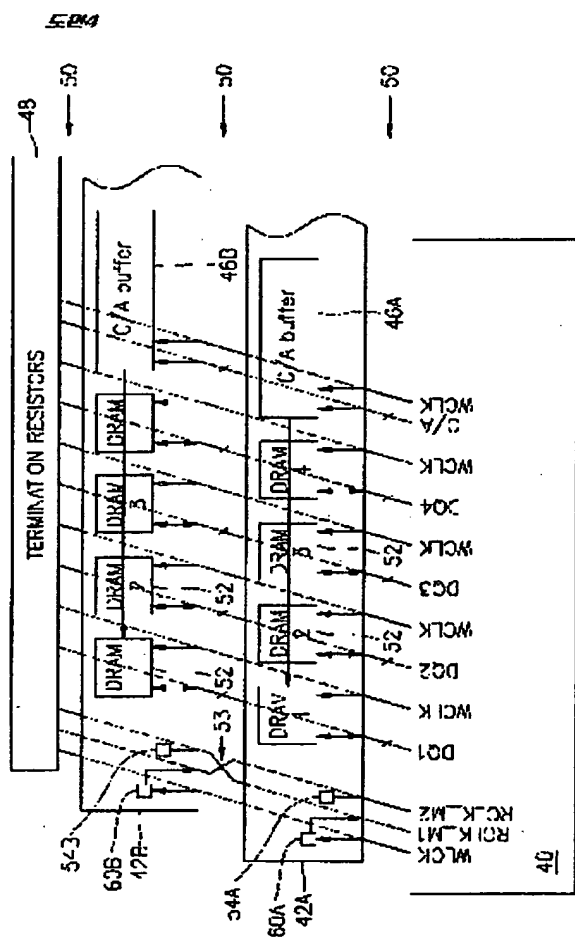
국 2002-0066381



2002-0066381

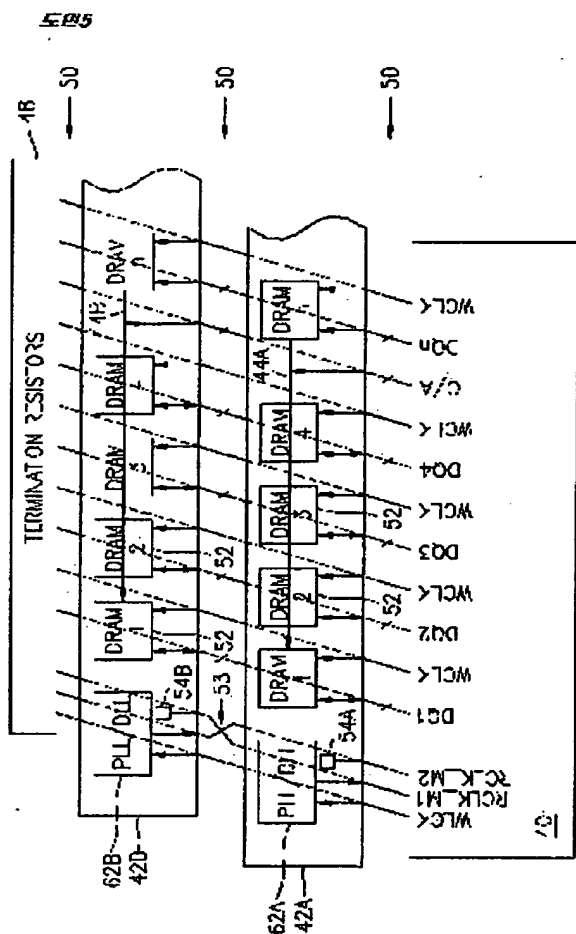


특 2002-0066381

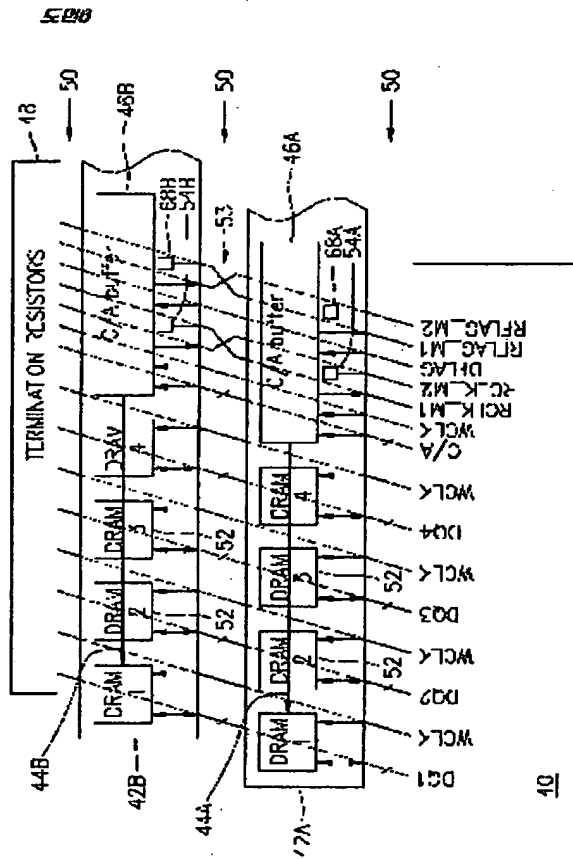




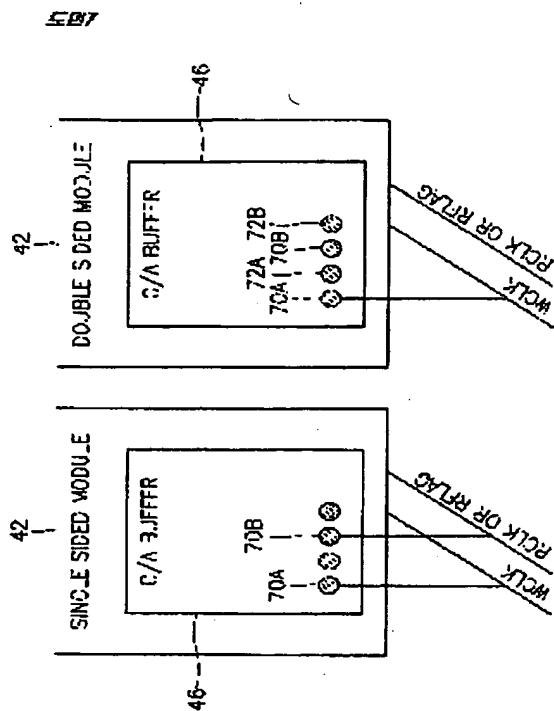
2002-0066381



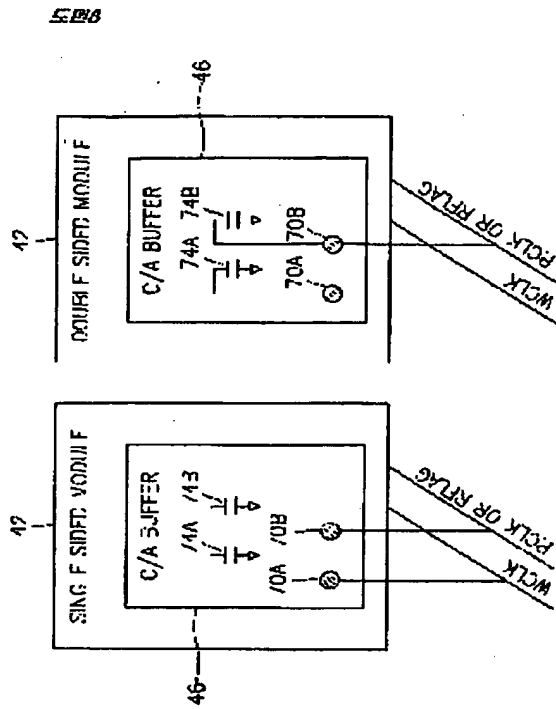
2002-0066381



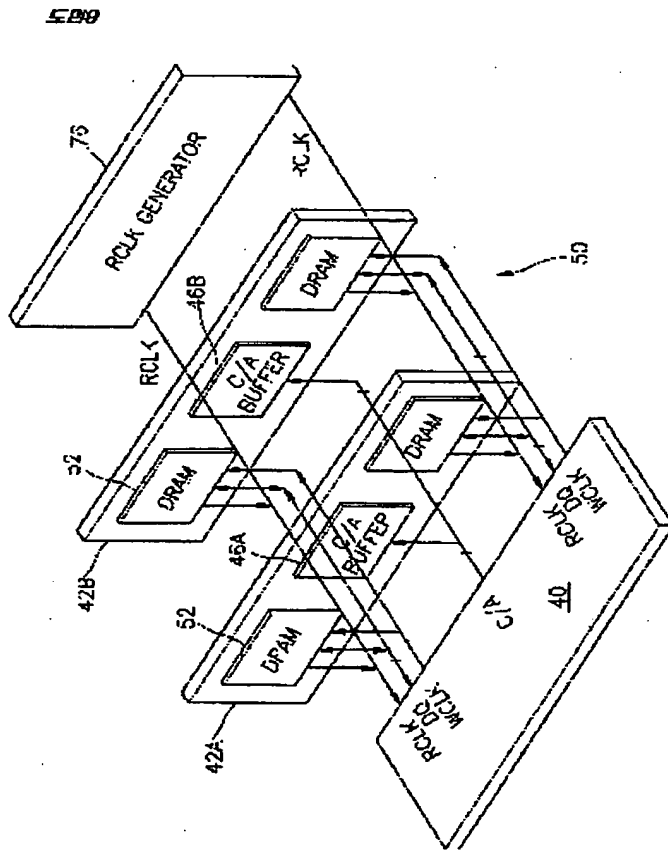
2002-0066381



2002-0066381



2002-0066381



22-21

2002-0066381

